

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-155954

(P2001-155954A)

(43) 公開日 平成13年6月8日 (2001.6.8)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 G 4/12	3 5 2	H 0 1 G 4/12	3 5 2 5 E 0 0 1
4/30	3 0 1	4/30	3 0 1 D 5 E 0 8 2
			3 0 1 F

審査請求 未請求 請求項の数 1 O L (全 5 頁)

(21) 出願番号 特願平11-337579

(22) 出願日 平成11年11月29日 (1999. 11. 29)

(71) 出願人 000003067

ティーディーケー株式会社

東京都中央区日本橋1丁目13番1号

(72) 発明者 安彦 泰介

秋田県由利郡仁賀保町平沢字前田151 テ

ィーディーケー エムシー株式会社内

(72) 発明者 富樫 正明

東京都中央区日本橋一丁目13番1号 ティ

ーディーケー株式会社内

(74) 代理人 100077702

弁理士 竹下 和夫

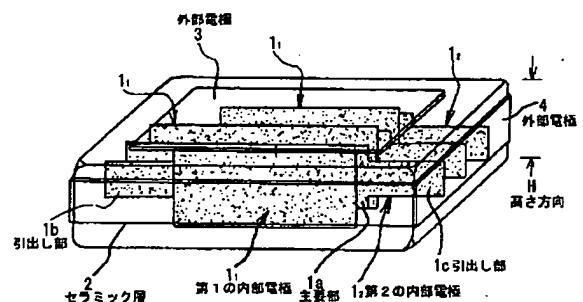
最終頁に続く

(54) 【発明の名称】 三次元搭載用貫通型積層セラミックコンデンサ

(57) 【要約】 (修正有)

【課題】 動作周波数が高速化する電子機器搭載用に好適で、三次元の多層プリント基板等に表面実装するのに好適な三次元搭載用貫通型積層セラミックコンデンサを構成する。

【解決手段】 積層チップ素体を形成するセラミック層2…の短辺2a, 2b側を高さ方向Hとし、且つ、第1の内部電極1₁…とセラミック層2…の各長辺2c, 2dに露出する部分で電気的に導通する外部電極3を積層チップ素体の上下の相対面に設けると共に、第2の内部電極1₂…と各引出し部1b, 1cで電気的に導通する外部電極4を積層チップ素体の側端面全周に亘って設け、外部電極3, 4を回路基板の異なる回路パターンと各々直に対面させて電気的に接合する三次元搭載用の貫通型として構成した。



【特許請求の範囲】

【請求項1】 所定パターンの内部電極と長方形のセラミック層とを交互に複数積層させて積層チップ素体を形成し、その積層チップ素体の内部電極と電氣的に導通する外部電極を積層チップ素体の所定面に設ける三次元搭載用の貫通型積層セラミックコンデンサにおいて、セラミック層を介し、セラミック層の各短辺寄りを除く中間部で両長辺に亘る第1の内部電極と、セラミック層の面内に位置する主要部から各短辺に延びる二つの引出し部を有する第2の内部電極とを交互に積層させて積層チップ素体を形成し、その積層チップ素体を形成するセラミック層の短辺側を高さ方向とし、且つ、第1の内部電極とセラミック層の各長辺に露出する部分で電氣的に導通する外部電極を積層チップ素体の上下の相対面に設けると共に、第2の内部電極と各引出し部で電氣的に導通する外部電極を積層チップ素体の側端面全周に亘って設け、その各外部電極を回路基板の異なる回路パターンと各々直に対面させて電氣的に接合する三次元搭載用の貫通型として構成したことを特徴とする三次元搭載用貫通型積層セラミックコンデンサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、低ESLで、且つ、低ESRなコンデンサとしてパソコン等の動作周波数が高速化する電子機器搭載用に好適で、電子機器の小型化から高さ方向を低く保って三次元の多層プリント基板等に表面実装するのに適する三次元搭載用の貫通型積層セラミックコンデンサに関するものである。

【0002】

【従来の技術】一般に、パソコン等の電子機器においては動作周波数が500MHzから1GHzへと高速化が進んでおり、その電源回路には低ESLで、且つ、低ESRな積層セラミックコンデンサが必要とされている。また、電子機器の小型化から高さ方向を低く抑えて三次元のプリント基板等に確実に表面実装可能で所定の特性も得られる積層セラミックコンデンサが要請されている。

【0003】従来、貫通型の積層セラミックコンデンサにおいては、図5で示すように内部電極10…、10a、10b…としてセラミック層11…を隔て交差する方向に位置する二つの異なる電極パターンのものを交互に複数積層形成した積層チップ素体を部品本体に構成するものが知られている（特公昭62-35257号）。

【0004】その内部電極のうち、一つはセラミック層11…の中間辺で両辺の間に亘る一本の内部電極10…とし、他の一つは一本の内部電極10…と直交する方向でセラミック層11…の他の辺間に亘る少なくとも二本の平行した内部電極10a、10b…として形成されている。

【0005】その積層チップ素体によっては、図6で示

すように各内部電極10、10a、10b…とセラミック層11…の積層面に露出する部分で電氣的に導通する外部電極12a、12b、13a、13b…（片側のみ図示）を積層チップ素体の側端面に設けることにより貫通型の積層セラミックコンデンサとして構成されている。

【0006】その積層セラミックコンデンサは、各外部電極12a、12b、13a、13b…を回路基板14の板面より直立方向に位置させて部品全体を回路基板15の板面上に載置し、外部電極12a、12b、13a、13b…の側面と回路パターン15a、15b、16a、16b…のランド部とを半田盛り17…で接合固定することにより表面実装されている。

【0007】その積層セラミックコンデンサを長方形のセラミック層で構成すると、内部電極の相対するいずれかがセラミック層の短辺間に亘って細長く延び、この外部電極の相対する距離が長くなることによりインダクタンス成分が大きくなる。これと共に、外部電極の間隔が長いと、回路基板に形成する回路パターンが長くなり、ランド部の引回しが長くなってインダクタンス成分に影響を与える。

【0008】特に、三次元の多層プリント基板等に表面実装すると、上部位置のランド部と下部位置のランド部とで構成される回路パターンが長くなり、ランド部の引回しが長くなってインダクタンス成分に影響を与えることとなり、ノイズの発生を避けられない。また、ESLを低くし、例えば、半導体等の端子近傍に表面実装搭載すると、三次元のプリント基板等に実装時におけるランド部の引回しによるインダクタンス成分の影響を無視できない。

【0009】それ以外に、部品全体の高さ方向が各層の積層方向に相当するため、各層の積層数如何によって部品全体の高さ方向を低く抑えられないところから、三次元搭載用の貫通型積層セラミックコンデンサとして適さない。

【0010】

【発明が解決しようとする課題】本発明は、外部電極の間隔を狭くすることにより低ESLで、且つ、低ESRなコンデンサとしてパソコン等の動作周波数が高速化する電子機器搭載用に好適で、電子機器の小型化から部品全体の高さ方向を低く抑えて三次元の多層プリント基板等に表面実装するのに好適な三次元搭載用貫通型積層セラミックコンデンサを提供することを目的とする。

【0011】

【課題を解決するための手段】本発明に係る三次元搭載用貫通型積層セラミックコンデンサにおいては、セラミック層を介し、セラミック層の各短辺寄りを除く中間部で両長辺に亘る第1の内部電極と、セラミック層の面内に位置する主要部から各短辺に延びる二つの引出し部を有する第2の内部電極とを交互に積層させて積層チップ

素体を形成し、その積層チップ素体を形成するセラミック層の短辺側を高さ方向とし、且つ、第1の内部電極とセラミック層の各長辺に露出する部分で電氣的に導通する外部電極を積層チップ素体の上下の相対面に設けると共に、第2の内部電極と各引出し部で電氣的に導通する外部電極を積層チップ素体の側端面全周に亘って設け、その各外部電極を回路基板の異なる回路パターンと各々直に対面させて電氣的に接合する三次元搭載用の貫通型として構成されている。

【0012】

【発明の実施の形態】以下、図1～図4を参照して説明すると、図示実施に形態に係る三次元搭載用の貫通型積層セラミックコンデンサは、図1で示すように所定パターンの内部電極11、12…と長方形のセラミック層2…とを交互に複数積層させて積層チップ素体を形成し、その積層チップ素体の内部電極11、12…と電氣的に導通する外部電極3、4を積層チップ素体の所定面に設けることにより構成されている。

【0013】内部電極11、12…は、Ni等の導電性ペーストをセラミックグリーンシートのシート面に塗布、焼付処理することによりNi若しくはNi合金層等で形成し、また、卑金属のCu、貴金属のPd若しくはPd-Ag合金層等でも形成できる。セラミック層2…は、チタン酸バリウム系、チタン系、ジルコン酸系等のセラミック材料を主成分とするセラミックペーストをベースフィルムのフィルム面上に塗布してから焼成、焼結処理することにより形成する。

【0014】その内部電極11、12…は、図2で示すように第1の内部電極11…としてセラミック層2…の各短辺2a、2b寄りを除く中間部で両長辺2c、2dに亘る電極パターンのもと、第2の内部電極12…としてセラミック層の面内に位置する主要部1aから各短辺2a、2bに延びる二つの引出し部1b、1cを有する電極パターンのもとから形成されている。なお、第2の内部電極12…の引出し部1b、1cは主要部1aと同じ幅に形成してもよい。

【0015】その内部電極11、12…と長方形のセラミック層2…とを交互に複数積層させて積層チップ素体を形成し、更には内部電極を設けないセラミック層2を最外層の保護層として積層することにより積層チップ素体を構成できる。

【0016】その積層チップ素体を部品本体とし、セラミック層2…の短辺2a、2bに相当する側を部品全体の高さ方向H、セラミック層2…の短辺2a、2bで形成する積層面を側端面、セラミック層2…の長辺2c、2dで形成する積層面を上下面とし、第1の内部電極11…とセラミック層2の長辺2c、2dに沿って露出する部分で電氣的に導通する各外部電極3（作図上、下側は隠れている。）を積層チップ素体の上下面に設けると共に、第2の内部電極12…と主要部1aからセラミ

ク層2の各短辺2a、2bに延びる二つの引出し部1b、1cで電氣的に導通する外部電極4（作図上、背面側は隠れている。）を積層チップ素体の側端面全周に亘って設ける。

【0017】その外部電極3、4はCuペーストを塗布、乾燥することにより下地層とし、Ni及びSnのメッキ層を下地層に被着することにより形成できる。この外部電極3、4によっては、回路基板の異なる回路パターンと各々直に対面させて電氣的に接合する三次元搭載用の貫通型積層セラミックコンデンサとして構成されている。

【0018】その外部電極3、4のうち、第1の内部電極11…と電氣的に導通する外部電極3はセラミック層2…の長辺2c、2dで形成する積層チップ素体の積層面全面に形成できる。また、多層基板のランド形状により外部電極3の広さを設定するところから、外部電極3はセラミック層2…の長辺2c、2dで形成する積層チップ素体の積層面における少なくとも50%以上の面積を保つことによっても形成できる。

【0019】その具体例としては、部品全体の寸法を高さ0.5±0.1mm、幅0.8±0.1mm、長さ1.6±0.1mmの大きさに構成できる。セラミック層一層分としては厚み4μmで、形状的には短辺0.5±0.1mm、長辺0.8±0.1mmの大きさに形成できる。外部電極3と相対する外部電極との間隔は、セラミック層の短辺に相当する長さに設定できる。

【0020】このように構成する貫通型の積層セラミックコンデンサCは、図4で示すような半導体装置Dを備える電源回路において相対する回路基板5、6の間に挟み込むよう組付け搭載できる。その三次元搭載は、上下の相対する外部電極3、3'を回路基板5、6の異なる回路パターン7a、7bと各々直に対面させ、また、側端面全周に亘る外部端子4を別の回路パターン8a、8bと各々直に対面させて+極/ー極（GND）として電氣的に接合することにより行える。この三次元搭載では、部品全体の高さ方向Hを低く抑えられしかも回路基板5、6の相対間隔を狭く保てることにより、ランド部の引回しが長くなることによるインダクタンス成分の影響を少なくできる。

【0021】その回路パターンのインダクタンスを低減させるに、ESL値は10～20pH、ESR値は5～7mΩと低い積層セラミックコンデンサCを回路基板5に埋め込むことによりランド部のインダクタンス成分を無視できる。これにより、従来例に係る静電容量値が0.22μFの積層セラミックコンデンサと、本発明に係る積層セラミックコンデンサ（従来例と同じ静電容量値）とのESL及びESRを比較すると、従来に係る積層セラミックコンデンサを100%とすると、本発明に係る積層セラミックコンデンサは2～3%と低くて

【0022】それは、本発明に係る貫通型積層セラミックコンデンサでは外部電極3、4の間隔が短く、部品全体の高さ方向を低く抑えられ、また、外部電極3が幅広く表面実装し易いため、多層基板に搭載しても、ランド部の引回しによるトータルインダクタンスを少なくできて多層基板に形成するランドも簡素化できることによる。

【0023】

【発明の効果】以上の如く、本発明に係る三次元搭載用貫通型積層セラミックコンデンサに依れば、セラミック層を介し、セラミック層の各短辺寄りを除く中間部で両長辺に亘る第1の内部電極と、セラミック層の面内に位置する主要部から各短辺に延びる二つの引出し部を有する第2の内部電極とを交互に積層させて積層チップ素体を形成し、その積層チップ素体を形成するセラミック層の短辺側を高さ方向とし、且つ、第1の内部電極とセラミック層の各長辺に露出する部分で電気的に導通する外部電極を積層チップ素体の上下の相対面に設けると共に、第2の内部電極と各引出し部で電気的に導通する外部電極を積層チップ素体の側端面全周に亘って設け、外部電極を回路基板の異なる回路パターンと各々直に対面させて電気的に接合する三次元搭載用の貫通型として構成することにより、外部電極の間隔を短くしかも部品全体の高さ方向を低く抑えられるため、多層基板に搭載しても、ランド部の引回しによるトータルインダクタンスを少なくできて多層基板に形成するランドも簡素化でき、低ESLで、且つ、低ESRなコンデンサとしてパソコン等の動作周波数が高速化する電子機器搭載用に好適で、電子機器の小型化から部品全体の高さ方向を低く抑えて三次元の多層プリント基板等に表面実装するのに好適なものとして構成することができる。

【図面の簡単な説明】

【図1】本発明に係る三次元搭載用貫通型積層セラミックコンデンサを内部構造の透視状態で示す斜視図である。

【図2】本発明に係る三次元搭載用貫通型積層セラミックコンデンサを構成する内部電極のパターン形状を示す説明図である。

【図3】本発明に係る三次元搭載用貫通型積層セラミックコンデンサの外部電極を含む外観を示す斜視図である。

【図4】本発明に係る三次元搭載用貫通型積層セラミックコンデンサの多層基板における挟込み搭載構造を示す説明図である。

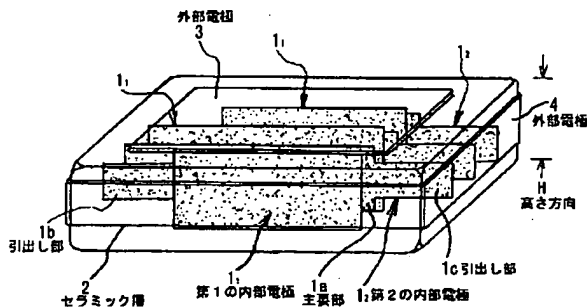
【図5】従来例に係る貫通型積層セラミックコンデンサを構成する内部電極のパターン形状を示す説明図である。

【図6】従来例に係る三次元搭載用貫通型積層セラミックコンデンサの実装構造を示す説明図である。

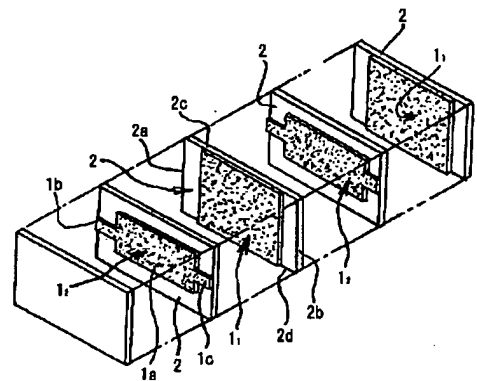
【符号の説明】

C 三次元搭載用貫通型積層セラミックコンデンサ	
11...	第1の内部電極
12...	第2の内部電極
1a	第2の内部電極の主要部
1b, 1c	第2の内部電極の引出し部
2...	セラミック層
2a, 2b	セラミック層の短辺
2c, 2d	セラミック層の長辺
3, 4	外部電極
5, 6	回路基板
7a, 7b, 8a, 8b	回路パターン
H	部品全体の高さ方向

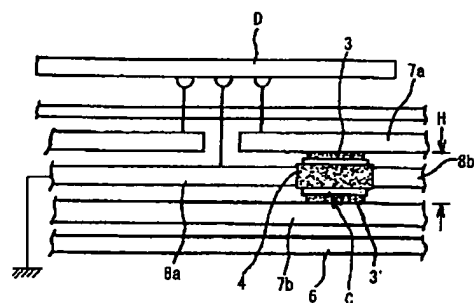
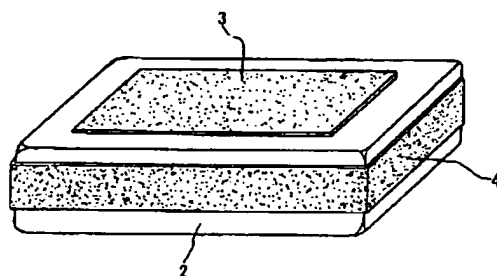
【図1】



【図2】

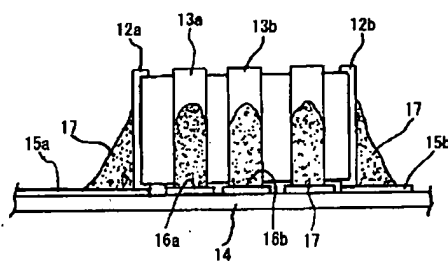
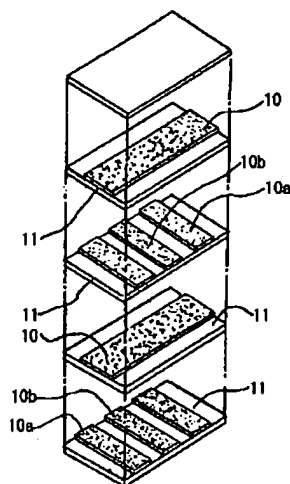


【図4】



【図5】

【图6】



Fターム(参考) 5E001 AB03 AC02 AC04 AC09 AC10
AE02 AE03 AF00 AF06 AG00
AH01 AH05 AH07 AJ01 AJ02
AJ03
5E082 AA01 AB03 AB06 BB02 BC14
BC39 EE04 EE16 EE23 EE26
EE35 FG06 FG26 GG10 GG11
GG26 GG28 HH43 JJ03 JJ05
JJ12 JJ21 JJ23